

# Istituto Tecnico Industriale Statale “E. Majorana”

Cassino

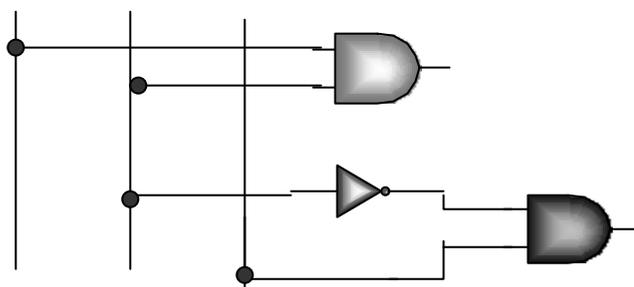
\*\*\*

Corso Abilitante A039 – Elettronica

A.S.: 2000/2001

U.D. : Mappe di Karnaugh e minimizzazione delle reti logiche.

*Proposta di un piano di lavoro per lo svolgimento di un'unità  
didattica di elettronica digitale.*



Corsisti:

Cuomo Antonio

Ferrante Marcello

Frallicciardi Giuseppina

Iasimone Maria Concetta

Monforte Nicola

Tanzilli Pompeo Ezio

Tanzilli Anna Maria

## Premessa

Per raccogliere, elaborare e trasmettere le informazioni nella tecnica dei comandi automatici e nella regolazione dei processi industriali vengono usati in maniera sempre maggiore sistemi di tipo digitale.

Lo studio dei circuiti logici digitali è presente nel percorso didattico di molti indirizzi tecnici e professionali, ad esempio al terzo anno del corso di studi di un Istituto Tecnico Industriale dell'area elettronico – informatica. Per fissare le idee gli argomenti del modulo didattico sull'elettronica digitale si immaginano rivolti proprio ad una terza classe di un istituto tecnico e sono quindi sviluppati tenendo conto del livello di conoscenza teorico-sperimentale di uno studente al primo anno di specializzazione.

*Classe: III ITI Indirizzo Elettronica e Telecomunicazioni.*

Di seguito viene proposto lo sviluppo di una lezione specifica sull'implementazione di circuiti logici mediante operatori universali, il metodo delle mappe di Karnough consentirà di effettuare le necessarie semplificazioni, successivamente si potrà passare all'impiego degli operatori universali ed in fase operativa si potrà realizzare il circuito in studio con i componenti digitali commercialmente in uso o simulare il funzionamento del sistema reale attraverso il programma Workbench.

La trattazione esposta prevede di aver già affrontato in altre U.D. del presente modulo gli argomenti relativi alle nozioni fondamentali di elettronica digitale, segnali elettrici fondamentali e loro classificazione. Questa U.D., insieme alle altre del modulo sull'elettronica digitale, concorre al perseguimento di finalità dell'insegnamento altamente formative, tra cui ricordiamo primariamente:

capacità di analisi e rappresentazione del funzionamento di circuiti utilizzando modelli adeguati; attitudine al lavoro di gruppo; partecipazione consapevole alla realizzazione di piccoli sistemi elettronici, dalla fase primaria della loro formulazione teorica alla fase finale della effettiva realizzazione pratica; conoscenza della strumentazione di base di un laboratorio elettronico; l'impiego costante dell'approccio sperimentale come potente strumento di verifica delle proprie ipotesi di lavoro.

U.D. : *“Circuiti implementati con operatori logici universali”*

### Prerequisiti

- Conoscenza e comprensione del concetto di variabile dipendente
- Conoscenza dei circuiti e segnali digitali
- Sistemi di numerazione
- Circuiti combinatori elementari e porte logiche
- Teoremi fondamentali dell'algebra di Boole (teoremi di De Morgan)
- Codifica dell'informazione
- Conoscenza della sonda logica
- Conoscenza di un programma di simulazione (Workbench)
- Uso della breadboard

### Obiettivi

- Saper utilizzare i metodi di semplificazione delle porte logiche
- Saper impiegare il metodo delle mappe di Karnough
- Saper implementare operazioni logiche con i circuiti dell'elettronica digitale
- Saper scegliere ed utilizzare correttamente i dispositivi integrati atti a realizzare le funzioni logiche
- Saper organizzare l'attività di laboratorio

### Contenuti

- Descrizione analitica di una funzione logica
- Prima e seconda forma canonica della funzione logica, mintermini e maxtermini
- Semplificazione delle espressioni booleane
- Semplificazione mediante le mappe di Karnough

## Tempi di attuazione U.D.

Complessivamente n. 8 ore di lezione così ripartite:

n. Lez.	h	contenuti	metodologia	strumenti
1	1	accertamento dei prerequisiti consolidamento delle nozioni acquisite su circuiti e segnali digitali e sistemi di numerazione eventuale revisione dei teoremi fondamentali dell'algebra di Boole con particolare riferimento alle leggi di De Morgan	test discussione partecipata lezione frontale	fotocopie libro di testo lavagna
2	2	descrizione analitica di funzioni logiche prima e seconda forma canonica delle funzioni logiche, mintermini e maxtermini semplificazione delle espressioni booleane	lezione frontale esercitazione alla lavagna	libro di testo lavagna
3	2	<i>minimizzazione di funzioni booleane mediante mappe di Karnaugh esercizi ed applicazioni</i>	<i>lezione frontale e partecipata esercitazione alla lavagna</i>	<i>fotocopie schede di lavoro libro di testo lavagna</i>
4	3	attività in laboratorio realizzazione di semplici progetti con gli integrati usualmente in commercio e/o simulazione con il software workbench verifica	lezione frontale e partecipata simulazione al computer	laboratorio elaboratore elettronico

Al termine dell' U.D. è prevista un'attività di verifica dell'apprendimento. La verifica può essere effettuata alla lavagna e/o in laboratorio mediante il montaggio su bread-board di una funzione logica implementata in logica nand (o nor) ed utilizzando i componenti dell'elettronica digitale usualmente in commercio. Parimenti si potrà realizzare l'implementazione di una funzione logica con il software di simulazione Workbench, realizzare il circuito con gli integrati disponibili e verificare il funzionamento.

Oltre all'attività di recupero e consolidamento in itinere, a seconda del feedback, ottenuto dalla effettuazione della attività di verifica formativa ad ultimazione della U.D., si potranno intraprendere azioni di recupero/consolidamento/approfondimento per la valorizzazione delle punte di eccellenza con ulteriori esercitazioni in un'ottica di didattica differenziata. In ogni caso è bene suddividere le prestazioni finali che l'allievo deve manifestare in modo ben chiaro; dosando le difficoltà, suddividendo le attività in tempi di ultimazione parziali, quindi si può agire riducendo il livello di performance frazionandola e distillandone i momenti chiave ed agendo sui tempi di ultimazione. Successivamente sarà necessario sistematizzare tutti gli argomenti affrontati allo in vista di una eventuale verifica sommativa.

### Lez. 3 Minimizzazione di funzioni booleane

Le mappe di Karnaugh permettono di rappresentare e minimizzare funzioni logiche fino ad un massimo di sei variabili. Tali mappe rappresentano la tabella di verità di una funzione in forma bidimensionale.

Le caselle adiacenti corrispondono a configurazioni delle variabili che differiscono per una ed una sola variabile. Se si ricorda che  $x_i \cdot p + \overline{x_i} \cdot p = p$  con conseguente eliminazione della variabile  $x_i$  dove  $p$  rappresenta un prodotto qualsiasi delle variabili diverse da  $x_i$ , per minimizzare la funzione basta individuare le caselle adiacenti e quindi il gruppo invariante  $p$  (costituito dal prodotto di variabili dirette o negate).

Per fissare le idee si procede subito con un esempio applicativo:

consideriamo la funzione algebrica

$$y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}CD + AB\overline{C}\overline{D} + ABCD$$

questa è una funzione con quattro variabili d'ingresso ed una uscita espressa nella prima forma canonica.

Dobbiamo realizzare una mappa K q quattro variabili d'ingresso le quali potendo assumere i valori logici 0 e 1 solamente portano a  $2^4$  combinazioni possibili.

Le variabili sono essere raggruppate a due a due e costituiscono i riferimenti di riga e di colonna, l'indicazione delle righe e delle colonne riporta dunque una coppia di zero e uno. Tali riferimenti sono riportati facendo in modo che due caselle adiacenti differiscano tra loro solo per una variabile.

		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	0	1	1	0
	11	1	1	1	1
	10	0	0	0	0

Osservando la funzione logica riportiamo uno stato logico 1 nella casella corrispondente ai mintermini che la compongono. Così ad esempio  $ABCD \rightarrow 11 11$ . Le caselle restanti si completano con degli zeri.

Se non tutte le uscite possibili sono definite si useranno delle X per indicare queste condizioni di indifferenza.

Si cercheranno i raggruppamenti maggiori secondo le seguenti regole: possono cerchiarsi e quindi raggrupparsi solo celle attigue, cercando i raggruppamenti da 8, da 4 poi quelli da 2 ed infine si considerano le celle singole.

Effettuati tutti i raggruppamenti possibili si considerano le variabili che non mutano lo stato logico e si prendono i loro prodotti con la variabile negata o non negata a seconda che siano presente degli zeri o degli uno. Per l'espressione minimizzata della precedente è la seguente:

$$y = BD + CD + \overline{BCD}$$

		AB			
CD		00	01	11	10
00		1	0	0	1
01		0	1	1	0
11		1	1	1	1
10		0	0	0	0

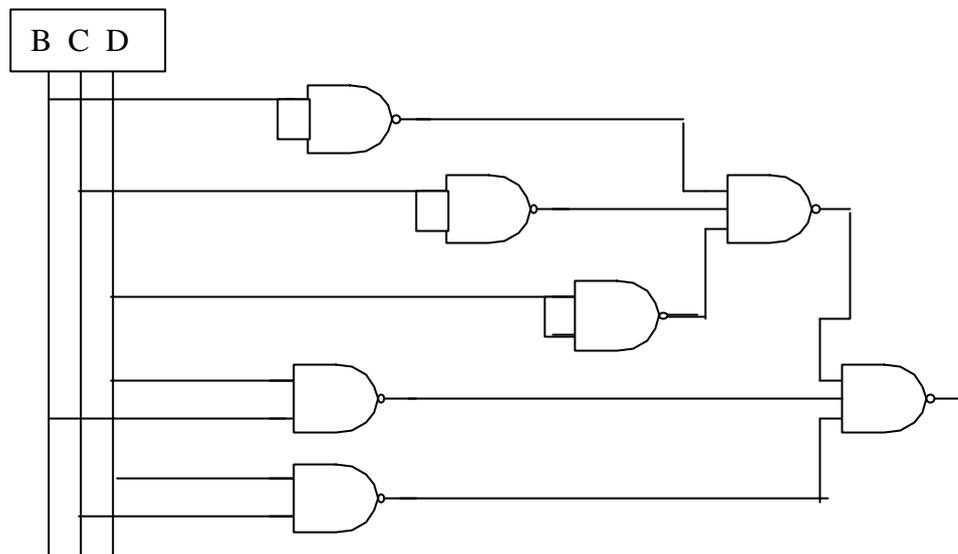
		AB			
CD		00	01	11	10
00		1	0	0	1
01		0	1	1	0
11		1	1	1	1
10		0	0	0	0

Si avrà cura di sottolineare che un raggruppamento da due elimina una variabile, uno da quattro due variabili, un raggruppamento da otto elimina tre variabili. Se si hanno più di quattro variabili bisogna considerare mappe tridimensionali.

Se le variabili da combinare sono due le mappe saranno a quattro caselle, con tre variabili ad otto.

Dalla relazione:  $y = BD + CD + \overline{BCD}$  applicando le formule di de Morgan si ha

$\overline{y} = \overline{BD} \cdot \overline{CD} \cdot \overline{\overline{BCD}}$  quindi implementiamo il circuito in logica NAND:



## Verifica e valutazione

### *Esempio di una prova di verifica formativa*

Nel caso d'apprendimenti di contenuti come quelli esposti nella presente unità didattica, che richiedano sostanzialmente dei processi di assimilazione e comprensione, si ritiene opportuno il ricorso a prove di profitto di tipo chiuso (stimolo chiuso- risposta chiusa): test oggettivi che definiscono in termini precisi lo stimolo da somministrare ed anche la risposta che l'allievo deve produrre; in tal modo si potrà verificare un giudizio costante e un notevole accordo intersoggettivo. Le prove chiuse (test vero/falso, test a scelta multipla, etc.) misurano la prestazione cognitiva degli allievi in modo da rendere minimi i margini di soggettività dei docenti nel giudicare gli esiti della prestazione, e costituiscono un puntuale ed efficace feedback per gli alunni ed l'insegnante stesso.

Per apprendimenti che coinvolgono la sfera cognitiva con processi di applicazione delle conoscenze acquisite o analisi/sintesi e quindi progettazione, oltre a procedere con prove strutturate di tipo chiuso è necessario proporre degli stimoli più articolati quali ad esempio esercizi e problemi o verifiche da effettuare in laboratorio con stesura di relativa relazione (gli apprendimenti intermedi e superiori della tabella del Fabbroni-Arrigo).

Si ribadisce che la verifica dell'apprendimento non deve essere un fatto eccezionale dell'attività didattica. Gli alunni, infatti, devono percepire le prove di verifica come momenti ordinari dell'attività scolastica che consentano di rilevare, nel loro interesse, la preparazione raggiunta e di acquisire consapevolezza in relazione al progredire dell'apprendimento.

Lo studente ha diritto ad una valutazione trasparente e tempestiva, volta ad attivare un processo di autovalutazione che lo conduca ad individuare i propri punti di forza e di debolezza e a migliorare il proprio rendimento.

- Criteri di formulazione della prova

A conclusione della presente unità didattica si propone una prova di verifica formativa di tipo strutturato e precisamente quesiti a scelta multipla. Il quesito a scelta multipla consta di una domanda iniziale che indicheremo col termine *stimolo*, seguita da risposte, dette *items*, una sola delle quali è corretta, le altre sono dette *distrattori* e sono verosimili a quella corretta.

Si è avuto cura di avere una sola risposta corretta; le risposte possibili per ciascuna domanda sono quattro, i distrattori sono tutti verosimili, la domanda viene formulata in

modo semplice e lineare, si evita in particolare la doppia negazione e la formulazione in modo non negativo; per quanto possibili si è cercato di fare in modo che il quesito sia formulato in modo completo nella frase introduttiva. Ovviamente si includono nella frase introduttiva tutte le parole che altrimenti dovrebbero ripetersi ogni volta, mentre in relazione a ciò le risposte possibili sono formulate in modo da avere coerenza grammaticale con la frase introduttiva.

### *Verifica formativa*

Questo test può somministrarsi alla fine della U.D. oppure prima della attività di laboratorio alla fine della Lez.3 con riferimento al percorso didattico da noi ipotizzato.

- 1) La semplificazione di una funzione logica può essere eseguita:
  - a) in maniera analitica, sfruttando i teoremi dell'algebra di Boole;
  - b) tramite la mappa di Karnaugh;
  - c) entrambe le risposte precedenti;
  - d) eliminando i mintermini in eccesso.
  
- 2) In una mappa di Karnaugh, due celle possono essere considerate adiacenti soltanto se poste:
  - a) sulla stessa riga una dietro l'altra;
  - b) sulla stessa colonna una dietro l'altra;
  - c) alle estremità di una stessa riga o colonna;
  - d) tutte le risposte precedenti.
  
- 3) La semplificazione di una funzione logica tramite la mappa di Karnaugh viene effettuata considerando gli 1 contenuti in celle adiacenti e formanti gruppi di numeri pari a:
  - a) un numero qualsiasi;
  - b) una potenza del due;
  - c) un multiplo di due;
  - d) numero di celle diviso due.
  
- 4) Il teorema di De Morgan permette di trasformare:
  - a) un prodotto logico in una negazione logica;
  - b) un prodotto logico in una somma logica e una negazione logica;
  - c) un prodotto logico in una somma logica;
  - d) un prodotto logico in una doppia somma logica.

5) Affinché nelle mappe K a quattro variabili, le caselle adiacenti differiscano per una sola variabile, le coppie di variabili AB e CD devono essere disposte secondo l'ordine:

- a) 00, 01, 11, 10
- b) 00, 01, 10, 11
- c) 00, 11, 10, 01
- d) 01, 11, 10, 00

6) Il raggruppamento indicato nella mappa in figura dà luogo a:

- a)  $B'D'$
- b)  $BD$
- c)  $A'C'$
- d)  $A'B'D' + AB'D'$

N.B.: l'apice' = negato

		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	0	0	0	0
	11	0	0	0	0
	10	1	0	0	1

7) La mappa K riportata in figura porta alla funzione minimizzata:

- a)  $B'CD' + BCD$
- b)  $B'C$
- c)  $A'B'C + AB'C$
- d)  $A'C'$

		AB			
		00	01	11	10
CD	00	0	0	0	0
	01	0	0	0	0
	11	1	0	0	1
	10	1	0	0	1

8) La funzione minimizzata tratta dalla seguente mappa K è:

- a)  $C'D'$
- b)  $C'D' + CD$
- c)  $A$
- d)  $D'$

		AB			
		00	01	11	10
CD	00	1	1	1	1
	01	0	0	0	0
	11	0	0	0	0
	10	1	1	1	1

9) Si vuole minimizzare mediante mappa K una funzione nelle 4 variabili A, B, C, D, non espressa in forma canonica e contenente il prodotto AC. Questo deve allora essere sviluppato per dare origine alla seguente somma di mintermini:

- a)  $ACD + ACD'$
- b)  $ABCD + AB'CD + A'BCD + A'B'CD'$
- c)  $ABCD + ABCD' + AB'CD + AB'CD'$
- d)  $ABC + AB'C + ACD + ACD'$

10) Per realizzare una funzione con sole porte NAND conviene applicare il teorema di DE Morgan alla funzione:

- a) espressa in somma di prodotti e complimentata una volta;
- b) espressa in somma di prodotti e complimentata due volte;
- c) espressa in prodotto di somme e complimentata una volta;
- d) espressa in prodotto di somme e complimentata due volte.

## Verifica sommativa

La verifica consta di due esercizi applicativi ed un problema

Es.1

Minimizzare la seguente espressione booleana:

$$X = AB'C + A'BC + A'B'C' + A'B'C + AB'C'$$

Es. 2

Minimizzare la seguente espressione booleana

$$X = A'B'C'D' + A'BC'D' + ABC'D' + AB'C'D' + A'B'CD + AB'CD + A'B'CD' + A'BCD' + ABCD' + AB'CD'$$

Problema

Ricordando le principali fasi di progettazione di un circuito combinatorio da realizzare per mezzo di integrati S.S.I., progettare un sistema d'allarme in grado di rilevare l'apertura di una porta. Si supponga che il suddetto sistema possa essere disattivato mediante un congegno ad 8 combinazioni. La combinazione che disattiva il sistema è 101.

### **Descrittori della griglia di valutazione**

<b><i>Descrittori</i></b>	<b><i>Punti</i></b>
Interpretazione dei dati	0-1
Individuazione e conoscenza delle formule necessarie alla risoluzione dei quesiti	0-1
Grado di sviluppo	0-2
Correttezza impostazione e linearità del procedimento	0-2
Correttezza nei calcoli	0-2
Autonomia e creatività	0-2
<b><u>Totale</u></b>	<b>10</b>

Fasce di livelli

0-3 gravemente insufficiente

4 insufficiente

5 mediocre

6 sufficiente

7 discreto

8 buono

9-10 ottimo

## Soluzione della verifica sommativa

$$\text{Es. 1 : } X = B' + A'C$$

$$\text{Es. 2 : } X = D' + B'C$$

### **Problema**

#### Fase 1

Riconoscimento delle variabili d'ingresso e d'uscita.

Indichiamo con A il segnale che indica l'apertura della porta.

Si assume:  $A=1 \rightarrow$  porta aperta       $A=0 \rightarrow$  porta chiusa

Si indicano con B, C, D i segnali provenienti dal congegno di disattivazione (affinché tale congegno sia caratterizzato da otto combinazioni di disattivazione deve essere a tre variabili). Indichiamo con  $X=1$  la situazione di allarme attivo.

#### Fase 2

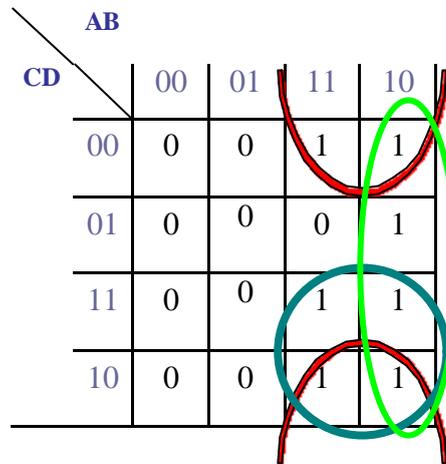
Scrittura della tabella della verità

La tabella della verità viene realizzata ponendo  $X=1$  ogni volta che  $A=1$  (porta aperta = condizione di allarme) se contemporaneamente non è presente la combinazione disattivante.

A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

Fase 3

Minimizzazione della funzione logica ricorrendo all'uso delle mappe K



Dalla mappa si ricava  $X = \overline{A}\overline{B} + AC + A\overline{D}$

Fase 4

Implementazione in logica NAND

Applicando i teoremi di De Morgan si ha:  $\overline{\overline{\overline{A}\overline{B}} \cdot \overline{\overline{A}C} \cdot \overline{A\overline{D}}}$

Fase 5

Realizzazione della struttura circuitale

